



Docket No.: W&B-INF-1913

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By:  Date: October 10, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/667,254
Applicant : Dirk Fuhrmann et al.
Filed : September 19, 2003
Art Unit : to be assigned
Examiner : to be assigned

Docket No. : W&B-INF-1913
Customer No.: 24131

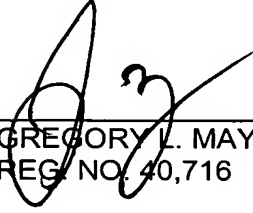
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 43 470.0 filed September 19, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: October 10, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 43 470.0

Anmeldetag: 19. September 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Selbsttestschaltung

IPC: G 11 C 29/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 3. September 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, likely of the President of the German Patent and Trademark Office.

Beschreibung

Selbsttestschaltung

5 Die Erfindung betrifft eine Selbsttestschaltung, die in einer integrierten Schaltung integriert ist und dem Testen einer Speicherschaltung dient. Die Erfindung betrifft weiterhin ein Verfahren zum Testen einer Speicherschaltung mit einer Selbsttestschaltung.

10

Integrierte Speicherschaltungen werden vor ihrer letztendlichen Auslieferung an den Kunden mehrfach Testverfahren unterworfen. Bei einem Speichertest wird überprüft, ob eine Zellinformation, die in eine Zelle hineingeschrieben worden ist,

15 gehalten und anschließend korrekt ausgelesen werden kann. Das Hineinschreiben und das nachfolgende Auslesen werden bei gängigen Testverfahren mehrfach durchgeführt. Zwischen Hineinschreiben und Auslesen werden häufig andere Speicheroperationen durchgeführt, die zu einer Veränderung der gespeicherten
20 Daten der betreffenden Speicherzelle führen können. Dabei soll überprüft werden, ob die Speicherung auch unter bestimmten Bedingungen fehlerfrei erfolgt.

25

Aufgrund der zunehmenden Speicherdichte von Speicherschaltungen benötigt das wiederholte Beschreiben und Auslesen von Speicherzellen viel Zeit. Das Testen von Speicherzellen ist daher zunehmend ein Kostenfaktor, der durch das Erhöhen der Parallelität des Testsystems, also der Anzahl gleichzeitig zu testender Bauelemente, gesenkt werden kann.

30

Ein Möglichkeit, die Parallelität zu erhöhen, besteht darin, die Anzahl der Testanschlüsse der Testereinheit zu erhöhen. Eine weitere Möglichkeit besteht darin, die Anzahl der notwendigen Testleitungen zwischen Bauelement und Testereinheit
35 zu reduzieren. Auf diese Weise kann eine größere Anzahl von integrierten Speicherschaltungen parallel mit dem Testsystem getestet werden.

Um den Durchsatz von Speichertest weiter zu erhöhen, wird vielfach ein Teil der Funktionalität des Testsystems von der Testereinheit in die zu testende integrierte Schaltung in
5 Form einer Selbsttesteinheit verlegt.

Eine solche Selbsttesteinheit übernimmt beispielsweise die Generierung von Testadressen. Üblicherweise hat die Selbsttesteinheit aufgrund von Flächenbeschränkungen eine minimale
10 Funktionalität und ist dadurch gekennzeichnet, dass nach einer Initialisierung der Adressraum durch inkrementelle bzw. dekrementelle Adressgenerierung mit einer Schrittweite von 1 durchlaufen wird. Die für bestimmte Spezialspeichertest notwendigen besonderen Adressgenerierungen sind durch zusätzliche
15 Adressvertauschungsschaltungen realisiert.

Eine solche Selbsttesteinheit hat bei einer reduzierten Anzahl von externen Anschlüssen die Einschränkung, dass nur die Adressschrittweite von 1 in nur eine Richtung der Inkrementierung möglich ist, wobei die Adressierung entweder in X-
20 oder Y-Richtung erfolgen kann. Innerhalb des Adressraums ist üblicherweise keine Sprungmöglichkeit vorgesehen. Die Selbsttesteinheit ist nur einmal konfigurierbar und während des Testens nicht weiter steuerbar.

25 Es ist Aufgabe der vorliegenden Erfindung eine Selbsttesteinheit zur Verfügung zu stellen, mit der eine Speicherschaltung flexibler und umfangreicher getestet werden kann. Es ist weiterhin Aufgabe der vorliegenden Erfindung ein Testverfahren
30 zum Durchführen eines Speichertest mit Hilfe einer Selbsttesteinheit zur Verfügung zu stellen.

Diese Aufgabe wird durch die Selbsttesteinheit nach Anspruch 1 sowie das Verfahren nach Anspruch 7 gelöst. Weitere Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.
35

Gemäß einem ersten Aspekt der vorliegenden Erfindung ist eine Selbsttestschaltung mit einer Adressgeneratoreinheit zum Erzeugen einer Testadresse für das Testen einer Speicherschaltung vorgesehen. Die Adressgeneratorschaltung ist mit einer
5 Steuerschaltung zum Steuern der Adressgeneratorschaltung verbunden, wobei die Steuerschaltung Signaleingänge aufweist, über die Testbefehle anlegbar sind.

Es ist ein erstes Register vorgesehen, um einen Adressdifferenzwert zu speichern. Die Steuerschaltung steuert die Adress-
10 generatorschaltung so an, um in Folge eines ersten Testbefehls die Testadresse bei einem nachfolgenden Speicherzugriff um den Adressdifferenzwert zu erhöhen oder in Folge eines zweiten Testbefehls die Testadresse bei einem nachfolgenden Speicherzugriff um den Adressdifferenzwert zu vermindern.

Die erfindungsgemäße Selbsttestschaltung hat den Vorteil, dass in das erste Register ein Adressdifferenzwert gespeichert werden kann, der es ermöglicht, eine Erhöhung der Test-
15 adresse um andere Adresswerte als 1 durchzuführen. Während bei gemäß dem Stand der Technik üblichen Selbsttesteinheiten die Adresse nur um 1 erhöht bzw. vermindert werden kann, ist es erfindungsgemäß möglich, auch andere Sprünge, die gemäß
20 dem Adressdifferenzwert, der in dem ersten Register gespeichert werden kann, durchzuführen. Es ist aber auch möglich, während des Testverfahrens den in dem ersten Register gespeicherte Adressdifferenzwert zu verändern, so dass unterschiedliche Adresssprünge realisiert werden können.

Vorzugsweise ist vorgesehen, dass das erste Register mit Hilfe eines an die Steuerschaltung angelegten Programmierbefehls
30 mit dem Adressdifferenzwert beschreibbar ist. Somit kann von einer externen Testereinheit vorgegeben, ein Adressdifferenzwert festgelegt werden, mit dem die Speicherschaltung getestet werden soll.

35 Vorzugsweise ist vorgesehen, dass die Selbsttestschaltung ein zweites Register enthält, um einen zweiten Adressdifferenz-

wert zu speichern. Dieser kann beispielsweise mit Hilfe eines zweiten Programmierbefehls mit dem zweiten Adressdifferenzwert beschrieben werden. Die Steuerschaltung steuert die Adreßgeneratorschaltung so an, um in Folge eines dritten
5 Testbefehls die Testadresse bei einem nachfolgenden Speicherzugriff um den zweiten Adreßdifferenzwert zu erhöhen oder in Folge eines vierten Testbefehls die Testadresse bei einem nachfolgenden Speicherzugriff um den zweiten Adreßdifferenzwert zu vermindern.

10

Zwei Register zum Speichern von zwei Adressdifferenzwerten vorzusehen, erhöht die Flexibilität des durch die Selbsttestschaltung durchzuführenden Adressgenerierung erheblich, da nun sehr flexibel in dem zu testenden Adressraum mit zwei unterschiedlichen Adressdifferenzwerten gesprungen werden kann.
15

Der erste, zweite, dritte und vierte Testbefehl sind vorzugsweise so kodiert, dass im wesentlichen keine Adressierung der Speicherschaltung zum Lesen oder Schreiben durchgeführt wird.
20 Vorzugsweise wird dazu der No-operation-Befehl (NOP-Befehl) verwendet, wobei durch zusätzliche Signale, wie beispielsweise das Schaltungsauswahlsignal oder nicht benötigte Adressbitsignale die Testbefehle kodiert werden können. Auf diese Weise ist es möglich, die Testbefehle anzulegen, ohne zusätzliche externe Anschlüsse zur Verfügung stellen zu müssen.
25

Vorzugsweise weist die Adressgeneratoreinheit eine Addierereinheit und eine Subtrahierereinheit auf, die jeweils abhängig von den Testbefehlen aktivierbar sind. Die Addierereinheit bzw. die Subtrahierereinheit sind so mit dem ersten und dem zweiten Register verbunden, dass die in dem ersten bzw. dem zweiten Register eingeschriebene Adressdifferenzwerte zu der jeweils aktuellen Testadresse hinzuaddiert oder subtrahiert werden können.
30

35

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Verfahren zum Testen einer Speicherschaltung mit einer

Selbsttestschaltung vorgesehen, die ein erstes Register zum Speichern eines Adressdifferenzwertes aufweist.

Das erste Register wird mit dem Adressdifferenzwert beschrieben, wobei in Folge eines ersten Testbefehls die Testadresse

5 bei einem nachfolgenden Speicherzugriff um den Adreßdifferenzwert erhöht wird und wobei in Folge eines zweiten Testbefehls die Testadresse bei einem nachfolgenden Speicherzugriff um den Adreßdifferenzwert vermindert wird. Vorzugsweise werden der erste Testbefehl und der zweite Testbefehl nacheinander an die Steuerschaltung angelegt, um zwischen zwei Testad-
10 ressen hin und her zu springen. Auf diese Weise läßt sich ein beim Testen einer Speicherschaltung häufig vorkommendes Testverfahren durchführen, wobei getestet wird, in wieweit sich zwei Speicheradressen bei wiederholten Speicherzugriffen ge-
15 genseitig beeinflussen.

Es kann auch vorgesehen sein, dass das Testverfahren mit einer Selbsttestschaltung mit dem ersten Register zum Speichern eines ersten Adressdifferenzwertes und einem zweiten Register

20 zum Speichern eines zweiten Adressdifferenzwertes durchgeführt wird, wobei in beide Register verschiedene Adressdifferenzwerte einschreibbar sind. In Folge des ersten Testbefehls wird die Testadresse um den ersten Adreßdifferenzwert erhöht und in Folge eines zweiten Testbefehls um den ersten Adreß-
25 differenzwert vermindert. Das zweite Register wird mit einem zweiten Adreßdifferenzwert beschrieben, wobei in Folge des dritten Testbefehls die Testadresse um den zweiten Adreßdifferenzwert erhöht wird und wobei in Folge des zweiten Befehls die Testadresse um den zweiten Adreßdifferenzwert vermindert
30 wird.

Vorzugsweise ist vorgesehen, dass der erste Befehl, der dritte Befehl, der vierte Befehl und der zweite Befehl aufeinanderfolgend an die Steuerschaltung angelegt werden, um zwi-
35 schen vier Testadressen hin und her zu springen.

Eine besondere Ausführungsform wird im folgenden anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

Fig. 1 ein Blockdiagramm einer erfindungsgemäßen Selbsttest-
5 schaltung; und

Fig. 2 eine Tabelle mit einer bevorzugten Kodierung für die Testbefehle der erfindungsgemäßen Selbsttestschaltung.

10 In Fig. 1 ist ein Blockdiagramm eines integrierten Speicherbausteins dargestellt. Der Speicherbaustein weist eine Speicherschaltung 1 und eine Selbsttestschaltung 2 auf. Die Selbsttestschaltung 2 generiert im wesentlichen Testadressen, wobei in die durch die Testadressen adressierten Speicherbe-
15 reiche der Speicherschaltung 1 Testdaten geschrieben werden sollen. Die Speicherschaltung 1 ist eine DRAM-Speicherschaltung, es kann jedoch auch eine beliebige andere Speicherschaltung, wie z.B. SRAM-Speicherschaltung o.a., vorgesehen sein.

20

Die Speicherschaltung 1 sowie die Selbsttestschaltung 2 sind mit externen Anschlüssen verbunden, über die Eingangssignale E anlegbar sind. Die Eingangssignale sind bei DRAM-Speichern üblicherweise das Taktsignal CLK, das Wortleitungsaktivierungssignal RAS, das Bitleitungsaktivierungssignal CAS, das Schreibsignal WE, das Schaltungsauswahlsignal CS, Adresssignale A, Datensignale DQ und eventuell andere.

25

Das Wortleitungsaktivierungssignal RAS dient dazu, eine Wort-
30 leitung in der Speicherschaltung zu aktivieren, so dass die daran befindlichen Speichertransistoren durchgeschaltet werden, und Ladungen von daran angeschlossenen Speicherkapazitäten auf die entsprechenden Bitleitungen fließen. Das Bitleitungsaktivierungssignal CAS dient dazu, nach dem Aktivieren
35 der Wortleitung und nachdem die auf die Bitleitung geflossenen Ladungen verstärkt worden sind, die Bitleitungen auszuwählen, deren gespeicherte Daten auf die Datenausgänge ange-

legt werden sollen. Das Schreibsignal WE dient dazu, zu signalisieren, ob das Aktivieren der Wortleitung bzw. das Aktivieren der Bitleitung durchgeführt wird, um einen Schreibzugriff oder einen Lesezugriff durchzuführen. Mit Hilfe des Schaltungsauswahlsignals CS wird der betreffende Speicherbaustein ausgewählt. Das Schaltungsauswahlsignal CS ist notwendig, wenn mehrere Speicherbausteine an einen externen Signalbus angelegt sind, so dass mit Hilfe des Schaltungsauswahlsignals CS festgelegt werden kann, für welchen der Speicherbausteine die auf dem Signalbus angelegten Signale gültig sein sollen.

Die Selbsttestschaltung 2 weist eine Steuerschaltung 3 auf, die die Eingangssignale E empfängt. Die Steuerschaltung 3 ist so ausgestaltet, dass sie in der Lage ist, die die Selbsttestschaltung 2 betreffende Testbefehle, die über die Eingangssignale angelegt werden, zu erkennen. Zusätzlich sind in der Steuerschaltung häufig ein oder mehrere Mode-Set-Register (MSR) (nicht gezeigt) vorgesehen, in denen Testparameter gespeichert werden können.

Die Steuerschaltung 3 ist mit einem ersten Register 4 und einem zweiten Register 5 verbunden, wobei das erste Register 4 und das zweite Register 5 über geeignete Testbefehle, die über die Signaleingänge an die Steuerschaltung 3 angelegt werden, beschreibbar sind. In das erste Register 4 und das zweite Register 5 werden Adressdifferenzwerte gespeichert, die gewünschte Adresssprünge der Testadresse bei einem nachfolgenden Testen angeben.

30

Die Steuerschaltung 3 ist mit einer Adressgeneratorschaltung 6 und mit einem Adresshaltespeicher 7 verbunden. Der Adresshaltespeicher 7 speichert einen Adresswert, der zum Adressieren eines Speicherbereichs der Speicherschaltung 1 zur Verfügung gestellt wird. Die Adressgeneratorschaltung 6 verändert beim Testen die jeweils aktuelle Testadresse, die in dem Adresshaltespeicher 7 gespeichert ist, um einen der in dem ers-

35

ten Register 4 oder dem zweiten Register 5 gespeicherten Adressdifferenzwerte. Ob die Testadresse um den jeweiligen Adressdifferenzwert erhöht oder vermindert werden soll, wird durch einen am Signaleingang der Steuerschaltung 3 anliegenden Testbefehl bestimmt, den die Steuerschaltung 3 der Adressgeneratorschaltung mitteilt.

So gibt es einen ersten Testbefehl, der ein Addieren des Adressdifferenzwertes des ersten Registers 4 zu der in dem Adresshaltespeicher 7 gespeicherten Testadresse vorsieht, einen zweiten Testbefehl, der ein Subtrahieren des Adressdifferenzwertes der ersten Registers von der Testadresse vorsieht, einen dritten Testbefehl der ein Addieren des Adressdifferenzwertes in dem zweiten Register 5 zu der Testadresse vorsieht und einen vierten Testbefehl, der ein Subtrahieren des Adressdifferenzwertes des zweiten Registers 5 von der Testadresse vorsieht.

Nachdem einer der Testbefehle angelegt worden ist, wird durch jedes nachfolgende Wortleitungsaktivierungssignal RAS die durch den entsprechenden Testbefehl vorgegebene Rechenoperation bezüglich der Testadresse durchgeführt. Ist z.B. in dem zweiten Register ein Adressdifferenzwert von 3 abgespeichert und ein vierter Testbefehl angelegt worden, so wird bei jedem nachfolgenden aktivierten Wortleitungsaktivierungssignal RAS die in dem Adresshaltespeicher 7 gespeicherte Testadresse um 3 vermindert.

Um den durch den jeweiligen Testbefehl vorgegebene Rechenoperation zu speichern, kann in der Adressgeneratorschaltung 6 ein Zustandsspeicher (nicht gezeigt) vorgesehen sein, der angibt, welche Operation auf die Testadresse durchgeführt werden soll, wenn ein Wortleitungsaktivierungssignal RAS aktiviert ist.

Die Adressgeneratoreinheit 6 weist zum Addieren und Subtrahieren eine Addierereinheit 8 und eine Subtrahierereinheit 9

auf. Sowohl an die Addierereinheit 8 als auch an die Subtrahiereinheit 9 sind die jeweils aktuelle Testadresse und die Adressdifferenzwerte des ersten Registers 4 und des zweiten Registers 5 anlegbar.

5

Um für die erfindungsgemäße Selbsttestschaltung 2 keine zusätzlichen Eingangssignalanschlüsse vorsehen zu müssen, ist vorgesehen, die entsprechenden Testbefehle mit Hilfe der bereits bestehenden Eingangssignalanschlüssen zu kodieren. Dazu ist vorzugsweise vorgesehen, bei einem NOP-Befehl, der üblicherweise keine Operation in der so adressierten Speicherschaltung bewirkt, eine zusätzliche Kodierung mit Hilfe der Adresseingänge des Speicherbausteins vorzunehmen.

10

15 In der Tabelle der Fig. 2 ist mit den ersten acht Befehlen eine herkömmliche Kodierung der Signaleingänge dargestellt, wobei Lese- READ und Schreibbefehle WRITE, Wortleitungsaktivierungsbefehle ACT, Mode-Register-Setzbefehle (MRS), Auto-refresh-Befehle CBR, Precharge-Befehle PRE mit Hilfe der oben
20 genannten Signaleingänge E an den Speicherbaustein angelegt werden können. Die angelegten Steuersignale sind üblicherweise Low-active-Signale, d.h. sie bewirken eine Funktion, wenn ihr Signalpegel von einem High-Zustand auf einen Low-Zustand übergeht. Wenn sowohl das Wortleitungsaktivierungssignal RAS, das Bitleitungsaktivierungssignal CAS als auch das Schreib-
25 signal WE deaktiviert sind d.h. sich in einem High-Zustand befinden, so dass üblicherweise die so angesteuerte Schaltung keinen Befehl ausführen würde, lassen sich zusätzliche Befehle mit Hilfe des Schaltungsauswahlsignal und einigen oder allen der Adresseingänge kodieren.
30

Dies ist in der Tabelle der Fig. 2 gezeigt, bei dem sechs weitere die erfindungsgemäße Selbsttestschaltung betreffende Befehle über an die Adresseingänge angelegte Adresssignale
35 kodiert werden. Der erste Testbefehl ist mit NOP_A1 der zweite Testbefehl mit NOP_S1, der dritte Testbefehl mit NOP_A2 und der vierte Testbefehl mit NOP_S2 bezeichnet. Zusätzlich

zu diesen vier Testbefehlen werden ein fünfter Testbefehl NOP_Reset1 vorgesehen, der bewirkt, dass in das erste Register 4 ein Adressdifferenzwert von 1 eingeschrieben wird, bzw. ein sechster Testbefehl NOP_Reset2 vorgesehen, der ebenfalls
5 bewirkt, dass in das zweite Register 5 ein Adressdifferenzwert von 1 eingeschrieben wird. Dies stellt eine Zurücksetzung der Inhalte der Register 4,5 dar, so dass die Selbsttestschaltung gemäß einer herkömmlichen Selbsttestschaltung arbeitet und den Testadresswert jeweils um 1 inkrementiert
10 bzw. dekrementiert.

Die Initialisierung des ersten und des zweiten Register sowie der Register der Steuereinheit 3 erfolgt durch den Befehl MRS, bei dem sowohl Wortleitungsaktivierungssignal RAS, Bitleitungsaktivierungssignal CAS und Schreibsignal WE aktiviert
15 sind, d.h. in einen Low-Zustand gebracht sind. Die Auswahl des entsprechenden Registers und der Inhalt des ausgewählten Registers erfolgt über ein oder mehrere zu setzende Adreß- oder Datenbit. Eventuell mittels weiterer nachfolgender Mode-
20 Register-Setzbefehle können die Register 4,5 jeweils mit einem Adressdifferenzwert belegt werden. Dies kann seriell oder parallel erfolgen, je nachdem wie viele Adresseingänge für das Übergeben der Adressdifferenzwerte in die Register 4,5 verwendet werden sollen. Das erste 4 und das zweite Register
25 5 sind in ihrer Adressbreite dem zu adressierenden Zellenfeld angepasst, wobei die Bit-Breite der Register 4,5 vornehmlich durch den maximal zu verwendenden Adressdifferenzwert bestimmt wird.

30 Nach dem Beschreiben der Register 4,5 können über die externen Testanschlüsse durch die Testereinheit Testbefehle angelegt werden, die zur Durchführung des Testverfahrens für das Speicherbauelement dienen. Da nur eine begrenzte Anzahl von externen Anschlüssen zur Verfügung steht, ist eine spezifische
35 Kodierung der Befehle zur Adressberechnung notwendig.

Dass in der Tabelle der Fig. 2 mit ACTL gekennzeichnete Adresskontrollbit verhindert, wenn sich das ACTL-Bit im High-Zustand befindet, das Hochzählen der Testadresse in Folge eines Wortleitungsaktivierungsbefehls ACT, einem Lese- und Schreibbefehl READ, WRITE. Das Datensteuerbit DCTL bewirkt eine Invertierung des zu schreibenden oder auszulesenden Testdatums im High-Zustand.

Für die Kodierung der Befehle zur Testadressenberechnung werden die oben erwähnten Testbefehle mit Hilfe des NOP-Befehls unter zusätzlicher Benutzung eines oder mehrerer weiterer Adresseingänge benutzt.

Die Erfindung besteht also darin, eine Selbsttesteinheit 2 mit einer Steuereinheit 3 zu schaffen, wobei durch zusätzliche Kodierung eine Erweiterung der Funktionalität der Selbsttestschaltung 2 erreicht wird, ohne dass die Anzahl der externen Anschlüsse des Speicherbausteins erhöht werden muß. Durch das Vorsehen von zwei zusätzlichen Registern zur Speicherung von Adressdifferenzwerten kann die Funktionalität bei der Berechnung von Testadressen erheblich erweitert werden. Trotzdem bleibt eine solche Selbsttestschaltung 2 weniger flächenaufwendig als die üblicherweise vorgesehenen Adressvertauschungsschaltungen.

Eine Besonderheit von Speicherbausteinen ist in vielen Fällen das Vorhandensein eines redundanten Speicherbereichs, der zur Reparatur von defekten Speicherzellen benutzt wird. Der redundante Speicherbereich hat entweder einen eigenen separaten Adressbereich oder ist in kleinere Bereiche in Adresssegmenten aufgeteilt. Ein generelles Problem bei der Adressgenerierung liegt darin, ob die Testadresse gerade den Hauptspeicherbereich adressiert oder in einem dieser Adressredundanzbereiche liegt.

Um Testadressen für die Adressierung des redundanten Speicherbereichs zu erzeugen, kann entweder eine Sprungadresse

geladen werden, die bewirkt, dass bei einem nächsten Speicherzugriff die Testadresse sofort an den Anfang des Redundanzbereiches springt oder über einen von extern über einen von der Testereinheit vorgegebenen Befehl bestimmten Testmode
5 ein Wechsel in den redundanten Speicherbereich erfolgen. Weiterhin ist erfindungsgemäß möglich, dass eine Adressüberlaufschaltung (nicht gezeigt) vorgesehen sein kann, wobei bei einem Adressüberlauf oder Unterlauf nicht am Ende bzw. Anfang des normalen Speicherbereichs weitergezählt wird, sondern
10 dass ein Sprung auf eine Testadresse des redundanten Speicherbereichs erfolgt.

Selbstverständlich kann auch eine Adressüberlaufschaltung vorgesehen sein, die ein Zurücksetzen der Adresse bei erreichen der Grenze des Adressraums bewirkt. Beispielsweise könnte über einen Mode-Register-Setzbefehl eine
15 Adressvergleichslogik initialisiert werden, um das Rücksetzen der Adressen nach Adressüberläufen zu gewährleisten. D.h. wenn eine Erhöhung der Testadresse um den Adressdifferenzwert oder ein Vermindern der Testadresse um den
20 Adressdifferenzwert nicht einen Sprung an die exakte Anfangsadresse bzw. die exakte Endadresse des Adressraums bewirkt, wird ein Zurücksetzen auf den exakten Anfang bzw. des exakten Endes des Adressraums vorgenommen. Solche Sprünge
25 in das Innere des Adressraums können auftreten, wenn der Adressdifferenzwert ungleich 1 ist.

Im folgenden werden mögliche Adressraumdurchläufe dargestellt. Für einen regulären Zellenfelddurchlauf in Vorwärtsrichtung mit der Schrittweite 1 wird zunächst der Testbefehl
30 das NOP-RESET1 angelegt, wodurch der Adressdifferenzwert im ersten Register auf Schrittweite 1 gesetzt wird und der Adressierer aktiviert wird. Jedes weitere Aktivieren der Wortleitungen durch das RAS-Signal bzw. den ACT-Befehl zählt die X-
35 Adresse und jeder weitere Write- bzw. Read-Befehl zählt die Y-Adresse um diese Schrittweite hoch. Mit Hilfe des NOP-Reset2-Befehls wird im zweiten Register 5 die Schrittweite

auf den Adressdifferenzwert 1 gesetzt und der Subtrahierer aktiviert. Jeder weitere ACT-Befehl vermindert die X-Adresse und jeder weitere Write- bzw. Read-Befehl vermindert die Y-Adresse um die Schrittweite 1.

5

Soll ein Zellenfelddurchlauf vorwärts mit Schrittweite 4 in X-Richtung und Schrittweite 1 in Y-Richtung vorgenommen werden, wird zunächst mit Hilfe eines Mode-Register-Setzbefehles an das erste Register 4 der Adressdifferenzwert 4 übergeben.

10 Mit Hilfe des Befehls NOP_A1 wird die Adressgeneratoreinheit 6 so eingestellt, dass der Addierer aktiviert ist, um den in dem ersten Register 4 gespeicherten Adressdifferenzwert von 4 zu der aktuellen Testadresse hinzuzuaddieren. Jeder weitere ACT-Befehl zählt die X-Adresse um die Schrittweite 4 hoch.

15 Nach dem Hochzählen der X-Adresse um die Schrittweite 4 wird ein NOP_Reset1-Befehl angelegt, der die Adressschrittweite im ersten Register auf 1 zurücksetzt. Bei nachfolgenden Read- oder Write-Befehlen wird die Y-Adresse dann um die Schrittweite 1 hochgezählt.

20

Bei Zellenfelddurchläufen, wobei zwischen verschiedenen X-Adressen hin und her gesprungen wird, z.B. mit folgender Sequenz Adresse+1, Adresse+3, Adresse-3, Adresse-1 wird zunächst mit Hilfe von Mode-Register-Setzbefehlen in das erste

25 Register 4 der Wert 1 und an das zweite Register 5 der Wert 3 übergeben. Mit Hilfe des Testbefehles NOP_A1 wird die Testgeneratorschaltung 6 aktiviert, um den Addierer 8 zu aktivieren, das bei einem nachfolgenden Wortleitungsaktivierungssignal RAS bzw. ACT-Befehl die x-Adresse um den in dem ersten

30 Register 4 gespeicherten Adressdifferenzwert erhöht wird. Anschließend wird ein NOP_A2-Befehl angelegt, so dass bei einem nachfolgenden Wortleitungsaktivierungssignal RAS die x-Adresse um den Adressdifferenzwert 3, der in dem zweiten Register 5 gespeichert ist, erhöht wird. Anschließend wird

35 durch einen NOP_S2-Befehl die Subtrahiereinheit 9 aktiviert, so dass bei einem nachfolgenden Wortleitungsaktivierungssignal RAS die x-Adresse um den Adressdifferenzwert des zweiten

Registers 5 vermindert wird. Der NOP_S1-Befehl aktiviert die Subtrahiereinheit 9 in der Adressgeneratorschaltung 6, so dass bei einem nachfolgenden Wortleitungsaktivierungssignal RAS die x-Adresse um den Adressdifferenzwert des ersten Registers 4 vermindert wird. Soll für die y-Adressgenerierung der Wert wieder auf 1 zurückgesetzt werden, muß in der Befehlssequenz zwischen jedem Wortleitungsaktivierungssignal RAS bzw. dem ACT-Befehl und einem Write/Read-Befehl ein NOP_Reset1-Befehl bzw. NOP_Reset2-Befehl angelegt werden.

Patentansprüche

1. Selbsttestschaltung mit einer Adreßgeneratorschaltung (6)
5 zum Erzeugen einer Testadresse für den Test einer Speicher-
schaltung, wobei die Adreßgeneratorschaltung (6) mit einer
Steuerschaltung (3) zum Steuern der Adreßgeneratorschaltung
(6) verbunden ist,
wobei die Steuerschaltung (3) Signaleingänge aufweist, über
10 die Testbefehle anlegbar sind,
dadurch gekennzeichnet, daß
ein erstes Register (4) vorgesehen ist, um einen Adreßdiffe-
renzwert zu speichern,
wobei die Steuerschaltung (3) die Adreßgeneratorschaltung (6)
15 so ansteuert, um in Folge eines ersten Testbefehls (NOP_A1)
die Testadresse bei einem nachfolgenden Speicherzugriff um
den Adreßdifferenzwert zu erhöhen oder in Folge eines zweiten
Testbefehls (NOP_S1) die Testadresse bei einem nachfolgenden
Speicherzugriff um den Adreßdifferenzwert zu vermindern.
20
2. Selbsttestschaltung nach Anspruch 1, dadurch gekennzeich-
net, daß die Steuerschaltung (3) so gestaltet ist, um das
erste Register mit Hilfe eines Programmierbefehls mit dem
Adreßdifferenzwert zu beschreiben.
- 25
3. Selbsttestschaltung nach Anspruch 1 oder 2, dadurch ge-
kennzeichnet, daß ein zweites Register (5) vorgesehen ist, um
einen zweiten Adreßdifferenzwert zu speichern,
wobei die Steuerschaltung (3) die Adreßgeneratorschaltung so
30 ansteuert, um in Folge eines dritten Testbefehls (NOP_A2) die
Testadresse bei einem nachfolgenden Speicherzugriff um den
zweiten Adreßdifferenzwert zu erhöhen oder in Folge eines
vierten Testbefehls (NOP_S2) die Testadresse bei einem nach-
folgenden Speicherzugriff um den zweiten Adreßdifferenzwert
35 zu vermindern.

4. Selbsttestschaltung nach Anspruch 3, dadurch gekennzeichnet, daß die Steuerschaltung (3) so gestaltet ist, um das zweite Register (5) mit Hilfe eines zweiten Programmierbefehls mit dem zweiten Adreßdifferenzwert zu beschreiben.

5

5. Selbsttestschaltung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Adreßgeneratoreinheit eine Addiereinheit (8) und eine Subtrahiereinheit (9) aufweist, die jeweils abhängig von den Testbefehlen aktivierbar sind.

10

6. Selbsttestschaltung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die Steuerschaltung (3) so gestaltet ist, um abhängig von einem Startbefehl das Generieren einer Testadresse durch die Adreßgeneratoreinheit (6) zu starten.

15

7. Verfahren zum Testen einer Speicherschaltung mit einer Selbsttestschaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß

20

das erste Register mit einem Adreßdifferenzwert beschrieben wird, wobei in Folge eines ersten Testbefehls (NOP_A1) die Testadresse bei einem nachfolgenden Speicherzugriff um den Adreßdifferenzwert erhöht wird und wobei in Folge eines zweiten Testbefehls (NOP_S2) die Testadresse bei einem nachfolgenden Speicherzugriff um den Adreßdifferenzwert vermindert wird.

25

8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß

aufeinanderfolgend der erste Testbefehl (NOP_A1) und der zweite Testbefehl (NOP_S1) angelegt werden, um zwischen zwei Testadressen hin und herzuspringen.

30

9. Verfahren zum Testen einer Speicherschaltung (1) mit einer Selbsttestschaltung (2) nach Anspruch 3 oder 4,

35

dadurch gekennzeichnet, daß das erste Register mit einem ersten Adreßdifferenzwert beschrieben wird, wobei in Folge des ersten Testbefehls

(NOP_A1) die Testadresse um den ersten Adreßdifferenzwert erhöht wird und wobei in Folge eines zweiten Testbefehls (NOP_S1) die Testadresse um den ersten Adreßdifferenzwert vermindert wird,

5 wobei das zweite Register mit einem zweiten Adreßdifferenzwert beschrieben wird, wobei in Folge des dritten Testbefehls (NOP_A2) die Testadresse um den zweiten Adreßdifferenzwert erhöht wird und wobei in Folge des vierten Befehls (NOP_S2) die Testadresse um den zweiten Adreßdifferenzwert
10 vermindert wird.

10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, daß aufeinanderfolgend der erste Testbefehl (NOP_A1), der dritte Testbefehl (NOP_A2), der vierte Testbefehl (NOP_S2) und der
15 zweite Testbefehl (NOP_S1) angelegt werden, um zwischen vier Testadressen hin und herzuspringen.

11. Verfahren nach einem der Ansprüche 7 bis 10, dadurch gekennzeichnet, daß ein Startbefehl an die Selbsttestschaltung
20 (1) angelegt wird, um das Testen der Speicherschaltung (1) durch die Selbsttestschaltung (1) zu starten.

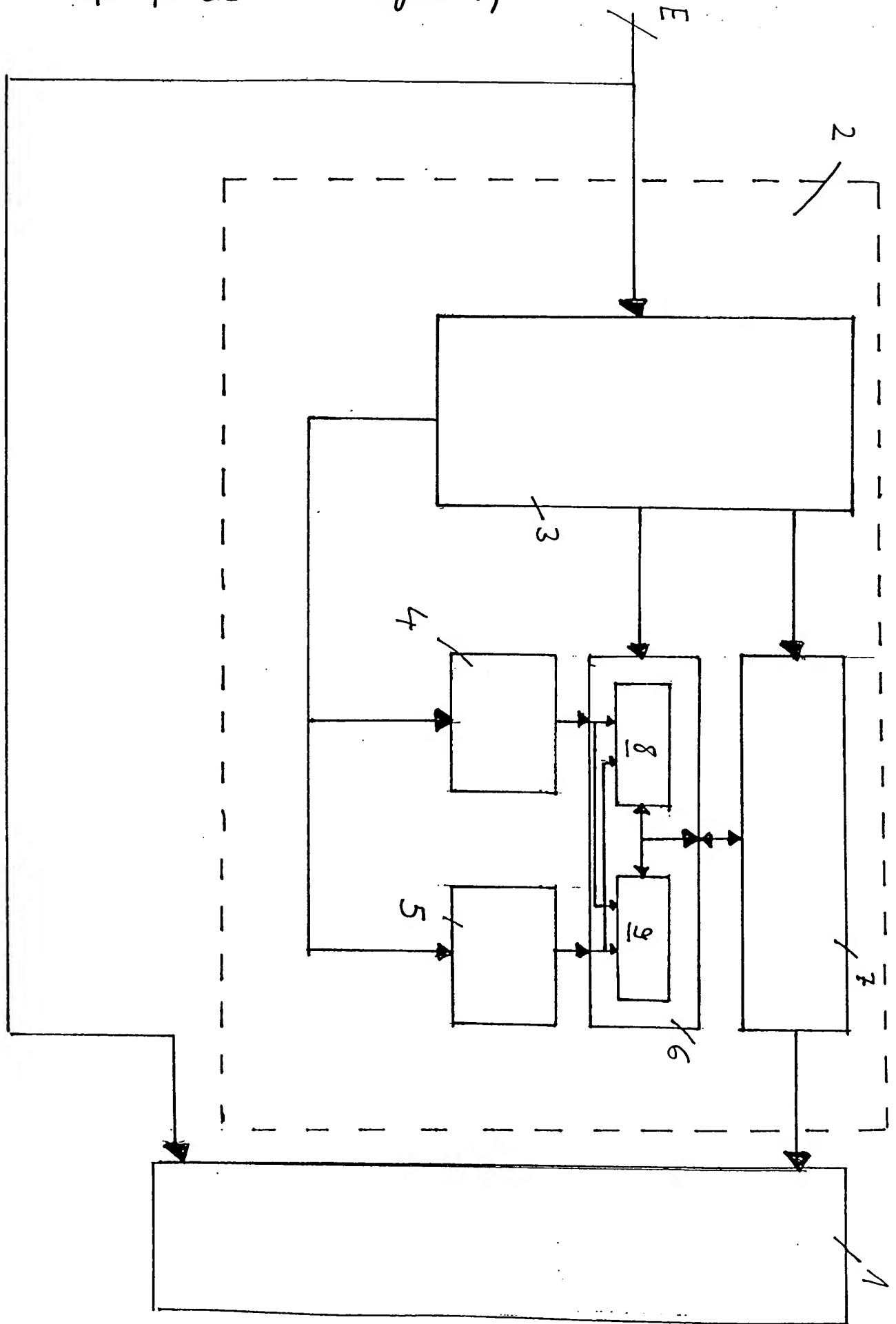
Zusammenfassung

Selbsttestschaltung

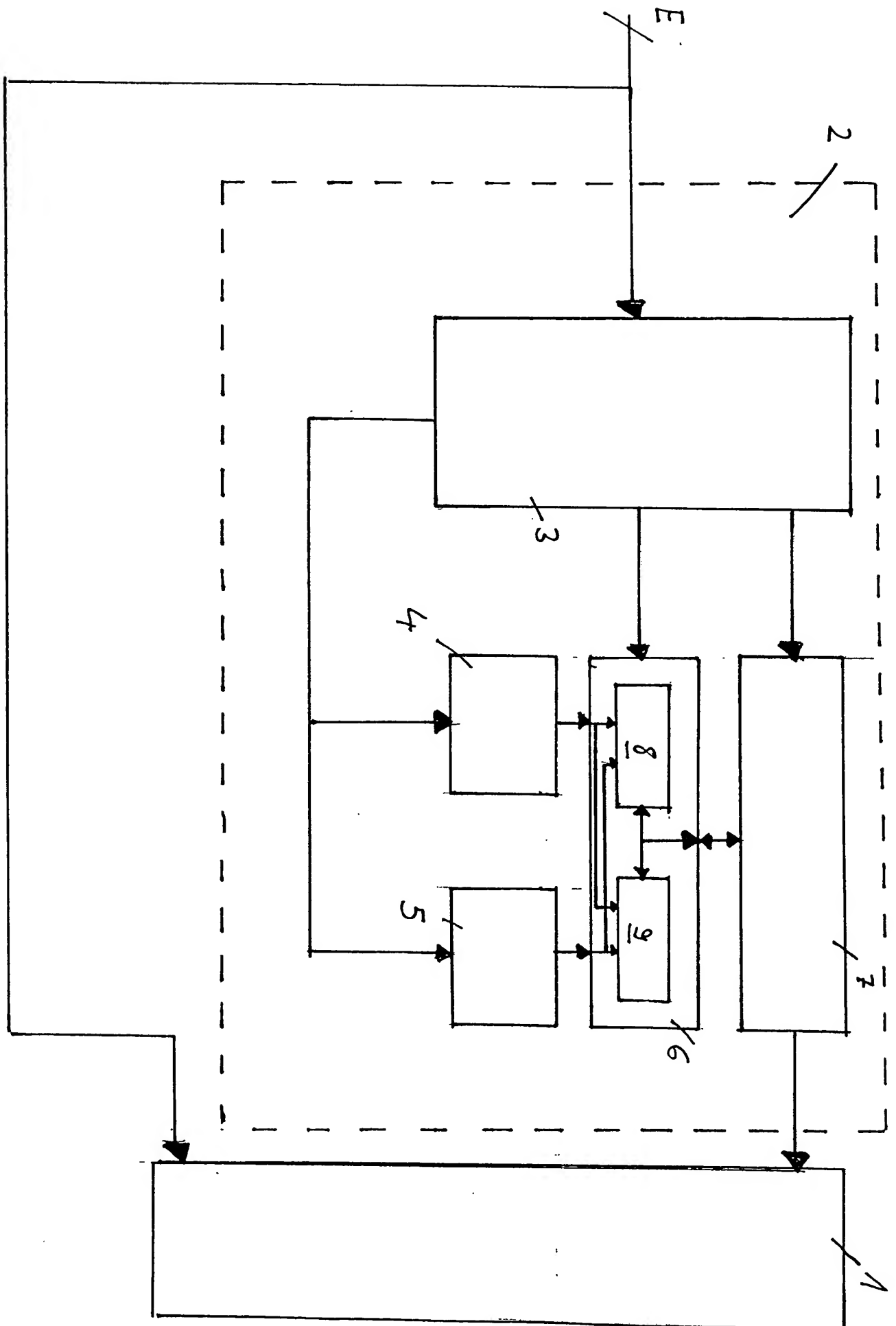
- 5 Selbsttestschaltung mit einer Adreßgeneratoreinheit zum Er-
zeugen einer Testadresse für den Test einer Speicherschaltung
und mit einer Steuerschaltung, die Signaleingänge aufweist,
über die Testbefehle anlegbar sind und über die ein Speicher-
zugriff ausführbar ist, dadurch gekennzeichnet, dass ein ers-
10 tes Register vorgesehen ist, um einen Adreßdifferenzwert zu
speichern, wobei die Adreßgeneratorschaltung in Folge eines
ersten Testbefehls die Testadresse bei einem nachfolgenden
Speicherzugriff um den Adreßdifferenzwert erhöht oder in Fol-
ge eines zweiten Testbefehls die Testadresse bei einem nach-
15 folgenden Speicherzugriff um den Adreßdifferenzwert vermin-
dert.

Fig. 1

Figur für die Zusammenfassung



1/2



2/2

Befeh\Pin	CLK	RAS	CAS	WE	CS	A10	A1	A0
READ	CLK	1	0	1	CS	0	ACTL	DCTL
READA	CLK	1	0	1	CS	1	ACTL	DCTL
WRITE	CLK	1	0	0	CS	0	ACTL	DCTL
WRITEA	CLK	1	0	0	CS	1	ACTL	DCTL
ACT	CLK	0	1	1	CS	x	ACTL	X
MRS	CLK	0	0	0	x	0	X	X
CBR	CLK	0	0	1	CS	x	x	x
PRE	CLK	0	1	0	CS	x	ACTL	x
NOP	CLK	1	1	1	1	1	1	X
NOP A1	CLK	1	1	1	0	0	0	X
NOP A2	CLK	1	1	1	0	1	0	X
NOP S1	CLK	1	1	1	1	0	0	X
NOP S2	CLK	1	1	1	1	1	0	X
Reset1	CLK	1	1	1	1	1	0	X
Reset2	CLK	1	1	1	1	1	1	x

Fig.2